

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91965

(P2000-91965A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 B 7/005		H 0 4 B 7/005	5 J 0 2 3
H 0 3 H 15/00		H 0 3 H 15/00	5 K 0 4 6
H 0 4 B 3/10		H 0 4 B 3/10	C

審査請求 未請求 請求項の数19 O L (全 15 頁)

(21) 出願番号 特願平10-252990

(22) 出願日 平成10年9月7日 (1998.9.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 須藤 浩章

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者 上杉 充

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100105050

弁理士 鷲田 公一

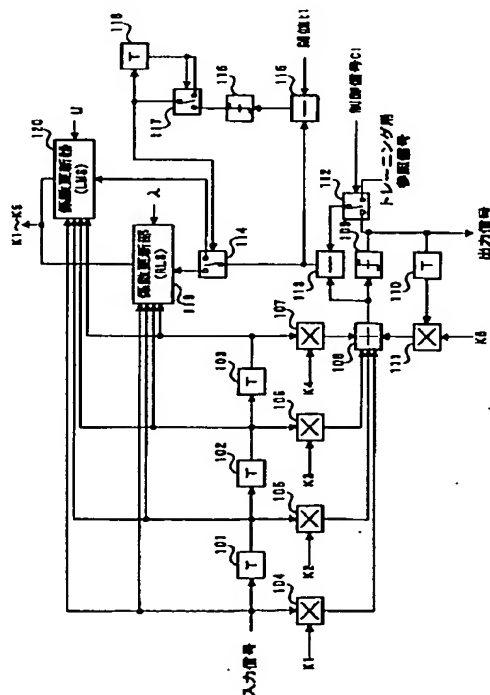
最終頁に続く

(54) 【発明の名称】 等化器及び等化方法

(57) 【要約】

【課題】 等化処理において、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従する。

【解決手段】 判定器116にて、減算器113から出力された誤差信号が閾値 ϵ より大きいかな否かを判定する。そして、判定の結果、誤差信号が閾値 ϵ より大きい場合、係数更新部119にてRLSアルゴリズムによりタップ係数更新演算を行い、誤差信号が閾値 ϵ より小さい場合、係数更新部120にてLMSアルゴリズムによりタップ係数更新演算を行うように、判定器116は、切替スイッチ114及び切替スイッチ117を制御する。



【特許請求の範囲】

【請求項1】 互いに異なるアルゴリズムによりタップ係数更新演算を行う複数の係数更新手段と、アルゴリズムを変更する必要があるか否かを判定する判定手段と、この判定手段の判定結果に基づいて前記係数更新手段のいずれかを選択するアルゴリズム制御手段とを具備することを特徴とする等化器。

【請求項2】 RLSアルゴリズムにてタップ係数更新演算を行う第1係数更新手段と、LMSアルゴリズムにてタップ係数更新演算を行う第2係数更新手段とを具備し、アルゴリズム制御手段は、判定手段にてアルゴリズムを変更する必要があると判定されるまで第1係数更新手段を選択し、判定手段にてアルゴリズムを変更する必要があると判定されると第2係数更新手段を選択することを特徴とする請求項1記載の等化器。

【請求項3】 第1係数更新手段に入力する忘却係数を複数の候補から選択する忘却係数切替手段を具備することを特徴とする請求項2記載の等化器。

【請求項4】 判定手段は、誤差信号が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項1乃至請求項3のいずれかに記載の等化器。

【請求項5】 誤差信号が第2閾値より小さい回数をカウントするカウント手段を具備し、判定手段は、前記カウント手段がカウントした回数が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項1乃至請求項3のいずれかに記載の等化器。

【請求項6】 誤差信号を積算する積算手段を具備し、判定手段は、前記積算手段から出力された誤差信号の積算値が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項1乃至請求項3のいずれかに記載の等化器。

【請求項7】 誤差信号が第3閾値を越えるか否かにより、複数の閾値から第1閾値を選択する閾値切替手段を具備することを特徴とする請求項1乃至請求項6のいずれかに記載の等化器。

【請求項8】 判定手段は、前回の誤差信号を第1閾値とすることを特徴とする請求項1乃至請求項6のいずれかに記載の等化器。

【請求項9】 請求項1乃至請求項8のいずれかに記載の等化器を搭載し、前記等化器を用いて受信信号の波形を整形することを特徴とする通信端末装置。

【請求項10】 請求項1乃至請求項8のいずれかに記載の等化器を搭載し、前記等化器を用いて受信信号の波形を整形することを特徴とする基地局装置。

【請求項11】 移動局装置又は基地局装置の少なくとも一方に請求項1乃至請求項8のいずれかに記載の等化器を搭載し、無線通信を行うことを特徴とする無線通信システム。

【請求項12】 タップ係数更新演算を行うためのアルゴリズムを変更する必要があるか否かを判定し、この判定結果に基づいて使用するアルゴリズムを選択することを特徴とする等化方法。

【請求項13】 アルゴリズムを変更する必要があると判定されるまでRLSアルゴリズムにてタップ係数更新演算を行い、アルゴリズムを変更する必要があると判定されるとLMSアルゴリズムにてタップ係数更新演算を行うことを特徴とする請求項12記載の等化方法。

【請求項14】 RLSアルゴリズムに用いる忘却係数を複数の候補から選択することを特徴とする請求項13記載の等化方法。

【請求項15】 誤差信号が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項12乃至請求項14のいずれかに記載の等化方法。

【請求項16】 誤差信号が第2閾値より小さい回数をカウントし、カウントした回数が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項12乃至請求項14のいずれかに記載の等化方法。

【請求項17】 誤差信号を積算し、誤差信号の積算値が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定することを特徴とする請求項12乃至請求項14のいずれかに記載の等化方法。

【請求項18】 誤差信号が第3閾値を越えるか否かにより、複数の閾値から第1閾値を選択することを特徴とする請求項12乃至請求項17のいずれかに記載の等化方法。

【請求項19】 前回の誤差信号を第1閾値とすることを特徴とする請求項12乃至請求項17のいずれかに記載の等化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディジタル移動体通信システムに用いられる等化器及び等化方法に関する。

【0002】

【従来の技術】無線通信システムにおいて、送信機から送信された信号は、反射や散乱を繰り返した波の合成波として受信機に受信される。各波の到来時間は伝搬経路の長さによって異なるため、無線伝送路では、信号同士が互いに干渉を起こす。

【0003】高速ディジタル伝送を行うディジタル移動体通信では、信号同士が互いに干渉を起こすと、受信側の復号処理における信号の判定が困難になり、データの誤り率が著しく増加する。このため、受信側では、等化器により受信信号の波形を整形して信号間干渉の影響を低減する。

【0004】以下、従来の等化器の構成及び動作につい

て、判定帰還型等化器を例に説明する。図7は、従来の等化器の構成を示すブロック図である。

【0005】図7に示す等化器の入力信号は、遅延器1、遅延器2、遅延器3をそれぞれ通過することにより1サンプリング周期ずつ遅延される。

【0006】また、入力信号は、デジタル乗算器4にて、タップ係数信号 k_1 を乗算される。同様に、1サンプリング周期遅延した入力信号は、デジタル乗算器5にて、タップ係数信号 k_2 を乗算され、2サンプリング周期遅延した入力信号は、デジタル乗算器6にて、タ
10 ップ係数信号 k_3 を乗算され、3サンプリング周期遅延した入力信号は、デジタル乗算器7にて、タップ係数信号 k_4 を乗算される。

【0007】タップ係数信号を乗算された各信号は、デジタル加算器8にて加算され、加算された信号（以下、「加算信号」という）は、判定器9及びデジタル減算器13に出力される。そして、判定器9にて、加算信号の電力値により、送信機から送信された信号が推定
20 される。推定された信号（以下、「推定信号」という）は、他の機器に出力されるとともに、遅延器10を通して1サンプリング周期遅延させられた後、デジタル乗算器11にて、タップ係数信号 k_5 を乗算させられ、デジタル加算器8に入力される。

【0008】ここで、一般に、移動体通信の送信機は、送信信号のメッセージの前に既知のトレーニング信号系列を挿入する。一方、受信機内の等化器は、伝送路特性に適応させるため、トレーニング信号系列と同じトレーニング用参照信号系列を記憶し、トレーニング信号系列を受信している間、トレーニング用参照信号系列を用い
30 て等化処理を行う。以下、トレーニング信号系列を受信している期間をトレーニング期間と呼び、メッセージを受信している期間をメッセージ期間と呼ぶ。

【0009】制御信号 c_1 にて切替スイッチ12を切替え制御することにより、トレーニング期間のときにトレーニング用参照信号がデジタル減算器13に入力され、メッセージ期間のときに推定信号がデジタル減算器13に入力される。

【0010】そして、デジタル減算器13にて、加算信号からトレーニング用参照信号又は推定信号が減算されて判定誤差を表す信号（以下、「誤差信号」という）
40 が算出され、係数更新部14に出力される。

【0011】そして、係数更新部14にて、RLS (Recursive Least Square) アルゴリズム等の所定のアルゴリズムを用いて、入力信号、誤差信号及びメモリ15に記憶された1シンボル周期前のタップ係数から、タップ係数信号が算出され、更新されたタップ係数信号 $k_1 \sim k_5$ が各乗算器及びメモリ15に出力される。

【0012】このように、従来の等化装置は、所定のアルゴリズムを用いてタップ係数信号を算出してタップ係
50 数を更新することにより、回線の変動に追従して等化処

理を行っている。

【0013】

【発明が解決しようとする課題】ここで、RLSアルゴリズムは、タップ係数の精度、収束速度が優れているが、タップ係数更新の演算量が多い。一方、LMS (Least Mean Square) アルゴリズムは、演算量が少ないが収束速度が遅い。

【0014】従来の等化器は、予め決められた1つのアルゴリズムを使用して、タップ係数を更新するため、収束速度を維持と演算量の削減の両立を図ることができなかった。

【0015】本発明はかかる点に鑑みてなされたものであり、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従することができる等化器及び等化方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題を解決するために、本発明は、誤差の大きさ等を判定し、判定結果に基づいて、タップ係数更新演算のアルゴリズムを選択す
る。

【0017】

【発明の実施の形態】本発明の第1の態様における等化器は、互いに異なるアルゴリズムによりタップ係数更新演算を行う複数の係数更新手段と、アルゴリズムを変更する必要があるか否かを判定する判定手段と、この判定手段の判定結果に基づいて前記係数更新手段のいずれかを選択するアルゴリズム制御手段とを具備する構成を採
る。

【0018】本発明の第2の態様は、第1の態様の等化器において、RLSアルゴリズムにてタップ係数更新演算を行う第1係数更新手段と、LMSアルゴリズムにてタップ係数更新演算を行う第2係数更新手段とを具備し、アルゴリズム制御手段は、判定手段にてアルゴリズムを変更する必要があると判定されるまで第1係数更新手段を選択し、判定手段にてアルゴリズムを変更する必要があると判定されると第2係数更新手段を選択する構成を採
る。

【0019】これらの構成により、誤差信号が閾値より高い場合にRLSアルゴリズムによってタップ係数を算出し、誤差信号が閾値より低い場合にLMSアルゴリズムによってタップ係数を算出することができるので、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従することができる。

【0020】本発明の第3の態様は、第2の態様の等化器において、第1係数更新手段に入力する忘却係数を複数の候補から選択する忘却係数切替手段を具備する構成を採
る。

【0021】この構成により、忘却係数を切替えることができるので、忘却係数を固定した場合に比べ収束を速くすることができ、RLSアルゴリズムを用いる区間を

短くすることができる。

【0022】本発明の第4の態様は、第1の態様乃至第3の態様のいずれかの等化器において、判定手段は、誤差信号が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する構成を採る。

【0023】この構成により、誤差信号が閾値より大きいかなにより、タップ係数の更新に使用するアルゴリズムを切替えることができるので、複雑な回路を必要とせず、収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0024】本発明の第5の態様は、第1の態様乃至第3の態様のいずれかの等化器において、誤差信号が第2閾値より小さい回数をカウントするカウント手段を具備し、判定手段は、前記カウント手段がカウントした回数が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する構成を採る。

【0025】この構成により、誤差信号が閾値より大きいと判定された回数に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることができるので、第4の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0026】本発明の第6の態様は、第1の態様乃至第3の態様のいずれかの等化器において、誤差信号を積算する積算手段を具備し、判定手段は、前記積算手段から出力された誤差信号の積算値が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する構成を採る。

【0027】この構成により、誤差信号の積算値に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることができるので、第4の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0028】本発明の第7の態様は、第1の態様乃至第6の態様のいずれかの等化器において、誤差信号が第3閾値を越えるか否かにより、複数の閾値から第1閾値を選択する閾値切替手段を具備する構成を採る。

【0029】この構成により、誤差信号に基づいて、タップ係数の更新に使用するアルゴリズムを切替えるか否かの判定基準となる閾値を制御することができるので、第4の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0030】本発明の第8の態様は、第1の態様乃至第6の態様のいずれかの等化器において、判定手段は、前回の誤差信号を第1閾値とする構成を採る。

【0031】この構成により、前回の誤差信号を閾値として、タップ係数の更新に使用するアルゴリズムを切替えるか否かを判定することができるので、第4の態様より、さらに収束速度の高速化と演算量削減の両立を図る

ことができ、誤り率特性を向上することができる。

【0032】本発明の第9の態様における通信端末装置は、第1の態様乃至第8の態様のいずれかの等化器を搭載し、前記等化器を用いて受信信号の波形を整形する構成を採る。

【0033】本発明の第10の態様における基地局装置は、第1の態様乃至第8の態様のいずれかの等化器を搭載し、前記等化器を用いて受信信号の波形を整形する構成を採る。

10 【0034】本発明の第11の態様における無線通信システムは、移動局装置又は基地局装置の少なくとも一方に第1の態様乃至第8の態様のいずれかの等化器を搭載し、無線通信を行う構成を採る。

【0035】本発明の第12の態様における等化方法は、タップ係数更新演算を行うためのアルゴリズムを変更する必要があるか否かを判定し、この判定結果に基づいて使用するアルゴリズムを選択する方法を採る。

【0036】本発明の第13の態様は、第12の態様の等化方法において、アルゴリズムを変更する必要があると判定されるまでRLSアルゴリズムにてタップ係数更新演算を行い、アルゴリズムを変更する必要があると判定されるとLMSアルゴリズムにてタップ係数更新演算を行う方法を採る。

【0037】これらの方法により、誤差信号が閾値より高い場合にRLSアルゴリズムによってタップ係数を算出し、誤差信号が閾値より低い場合にLMSアルゴリズムによってタップ係数を算出することができるので、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従することができる。

【0038】本発明の第14の態様は、第13の態様の等化方法において、RLSアルゴリズムに用いる忘却係数を複数の候補から選択する方法を採る。

【0039】この方法により、忘却係数を切替えることができるので、忘却係数を固定した場合に比べ収束を速くことができ、RLSアルゴリズムを用いる区間を短くすることができる。

【0040】本発明の第15の態様は、第12の態様乃至第14の態様のいずれかの等化方法において、誤差信号が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する方法を採る。

【0041】この方法により、誤差信号が閾値より大きいかなにより、タップ係数の更新に使用するアルゴリズムを切替えることができるので、複雑な回路を必要とせず、収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0042】本発明の第16の態様は、第12の態様乃至第14の態様のいずれかの等化方法において、誤差信号が第2閾値より小さい回数をカウントし、カウントした回数が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する方法を採る。

【0043】この方法により、誤差信号が閾値より大きいと判定された回数に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることができるので、第15の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0044】本発明の第17の態様は、第12の態様乃至第14の態様のいずれかの等化方法において、誤差信号を積算し、誤差信号の積算値が第1閾値を越えた場合にアルゴリズムを変更する必要があると判定する方法を採る。

【0045】この方法により、誤差信号の積算値に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることができるので、第15の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0046】本発明の第18の態様は、第12の態様乃至第17の態様のいずれかの等化方法において、誤差信号が第3閾値を越えるか否かにより、複数の閾値から第1閾値を選択する方法を採る。

【0047】この方法により、誤差信号に基づいて、タップ係数の更新に使用するアルゴリズムを切替えるか否かの判定基準となる閾値を制御することができるので、第15の態様より、さらに収束速度の高速化と演算量削減*

$$\begin{aligned} W(n) &= W(n-1) + K(n)e(n) \\ K(n) &= T(n) / \{1 + X(n)T(n)\} \\ T(n) &= P(n-1)X(n) / \lambda \\ P(n) &= P(n-1) / \lambda - K(n)T(n) \end{aligned} \quad (1)$$

LMSアルゴリズムにおける更新タップ係数 $W(n)$ は、※られる。

入力信号 $X(n)$ 、誤差信号 $e(n)$ 、修正係数 u ($0 < u \leq 1$)、自然数 n を用いて以下に示す式(2)にて求め※

$$W(n) = W(n-1) + u X(n) e(n) \quad (2)$$

(実施の形態1) 図1は、本発明の実施の形態1における等化器の構成を示すブロック図である。

【0054】図1に示す等化器において、遅延器101、遅延器102及び遅延器103は、入力信号を1サンプル周期遅延させる。デジタル乗算器104は、入力信号にタップ係数信号 k_1 を乗算する。デジタル乗算器105は、1サンプル周期遅延の入力信号にタップ係数信号 k_2 を乗算する。デジタル乗算器106は、2サンプル周期遅延の入力信号にタップ係数信号 k_3 を乗算する。デジタル乗算器107は、3サンプル周期遅延の入力信号にタップ係数信号 k_4 を乗算する。

【0055】デジタル加算器108は、各タップ係数信号を乗算された複数の信号を加算した信号(以下、「加算信号」という)を出力する。

【0056】判定器109は、加算信号の電力値等により、送信機から送信された信号を推定し、推定した信号(以下、「推定信号」という)を出力する。

【0057】遅延器110は、推定信号を1サンプル周★50

*減の両立を図ることができ、誤り率特性を向上することができる。

【0048】本発明の第19の態様は、第12の態様乃至第17の態様のいずれかの等化方法において、前回の誤差信号を第1閾値とする方法を採る。

【0049】この方法により、前回の誤差信号を閾値として、タップ係数の更新に使用するアルゴリズムを切替えるか否かを判定することができるので、第15の態様より、さらに収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0050】以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。なお、以下の説明では、等化器として判定帰還型等化器を用いる。また、以下の説明における各制御信号及び各閾値は、ユーザー等により予め設定され、各図に示されない制御部から等化器に出力される。

【0051】また、以下の説明では、係数更新アルゴリズムとしてRLSアルゴリズム及びLMSアルゴリズムを用いる。

【0052】RLSアルゴリズムにおける更新タップ係数 $W(n)$ は、入力信号 $X(n)$ 、誤差信号 $e(n)$ 、忘却係数 λ 、自然数 n を用いて以下に示す式(1)にて求められる

【0053】

★期遅延させ、ディジタル乗算器111は、1サンプル周期遅延した推定信号にタップ係数信号 k_5 を乗算し、加算器108に出力する。

【0058】切替スイッチ112は、制御信号 c_1 により、トレーニング期間のときにトレーニング用参照信号を選択し、メッセージ期間のときに推定信号を選択し、選択した信号をディジタル減算器113に出力する。

【0059】ディジタル減算器113は、加算信号からトレーニング用参照信号あるいは推定信号を減算し、判定誤差を表す信号(以下、「誤差信号」という)を算出し、切替スイッチ114及びディジタル減算器115に出力する。

【0060】ディジタル減算器115は、誤差信号から閾値 t_1 を減算した信号を判定器116に出力する。判定器116は、誤差信号が閾値 t_1 より高いか否かを判定し、判定結果に基づく制御信号(以下、「判定制御信号」という)を切替スイッチ117に出力する。なお、ディジタル減算器115を用いず、誤差信号及び閾値 t

1を判定器116に入力し、判定器116にて誤差信号と閾値 t_1 の大小を判定してもよい。

【0061】切替スイッチ117は、トレーニング期間の最初から一定期間、判定器116から入力した判定制御信号を切替スイッチ114に出力する。また、切替スイッチ117は、遅延器118を経由して判定制御信号をフィードバックし、自ら切替制御を行う。遅延器118は、判定制御信号を1サンプル周期遅延させる。

【0062】係数更新部119は、入力信号、誤差信号及び忘却係数を入力し、RLSアルゴリズムにてタップ係数を算出し、タップ係数信号 $k_1 \sim k_5$ を各乗算器に出力する。

【0063】係数更新部120は、入力信号、誤差信号及び修正係数を入力し、LMSアルゴリズムにてタップ係数を算出し、タップ係数信号 $k_1 \sim k_5$ を各乗算器に出力する。

【0064】次に、実施の形態1における等化器の等化処理について説明する。等化器に入力された入力信号は、遅延器101、遅延器102、遅延器103をそれぞれ通過することにより1サンプリング周期ずつ遅延さ
20

【0065】また、入力信号は、ディジタル乗算器104にて、タップ係数信号 k_1 を乗算される。同様に、1サンプリング周期遅延した入力信号は、ディジタル乗算器105にて、タップ係数信号 k_2 を乗算され、2サンプリング周期遅延した入力信号は、ディジタル乗算器106にて、タップ係数信号 k_3 を乗算され、3サンプリング周期遅延した入力信号は、ディジタル乗算器107にて、タップ係数信号 k_4 を乗算される。

【0066】タップ係数信号を乗算された各信号はディ
30

【0067】そして、判定器109にて、加算信号の電力値により、送信機から送信された信号が推定され、推定信号が他の機器に出力されるとともに、遅延器110を通過して1サンプリング周期遅延させられた後、ディジタル乗算器111にてタップ係数信号 k_5 を乗算され、ディジタル加算器108に出力される。

【0068】また、制御信号 c_1 にて切替スイッチ112を切替え制御することにより、トレーニング期間の
40

【0069】ディジタル減算器115に入力された誤差信号は、閾値 t_1 を減算され判定器116に出力される。そして、判定器116にて、誤差信号が閾値 t_1 よ
50

り高いか否か判定され、その判定結果に基づく判定制御信号が切替スイッチ117及び遅延器118に出力される。

【0070】判定制御信号にて切替スイッチ114を制御することにより、誤差信号が閾値 t_1 より高い場合、誤差信号が係数更新器119に入力され、誤差信号が閾値 t_1 より低い場合、誤差信号が係数更新器120に入力される。

【0071】そして、係数更新部119にて、入力信号、誤差信号及び忘却係数を用いて、RLSアルゴリズムによってタップ係数が算出され、更新されたタップ係数信号 $k_1 \sim k_5$ が各乗算器に出力される。

【0072】また、係数更新部120にて、入力信号、誤差信号及び修正係数 u を用いて、LMSアルゴリズムによってタップ係数が算出され、更新されたタップ係数信号 $k_1 \sim k_5$ が各乗算器に出力される。

【0073】なお、一旦、誤差信号が閾値 t_1 より低くなると、遅延回路118を通過した誤差判定信号が、切替スイッチ117を制御され、メッセージ期間が終了するまで誤差信号が係数更新器120に入力される。

【0074】このように、誤差信号が閾値より高い場合にRLSアルゴリズムによってタップ係数を算出し、誤差信号が閾値より低い場合にLMSアルゴリズムによってタップ係数を算出することにより、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従することができる。

【0075】（実施の形態2）図2は、実施の形態2における等化器の構成を示すブロック図である。なお、図2に示す等化器において、図1に示す等化器と共通する部分については、図1と同一符号を付して説明を省略する。

【0076】図2に示す等化器は、図1の等化器にディジタル減算器121と、判定器122と、カウンタ123とを追加した構成を採る。

【0077】ディジタル減算器113は、誤差信号を切替スイッチ114及びディジタル減算器121に出力する。ディジタル減算器121は、誤差信号から閾値 t_2 を減算した信号を判定器122に出力する。判定器122は、誤差信号が閾値 t_2 より小さいか否かを判定し、カウンタ123は、誤差信号が閾値 t_2 より小さい回数をカウントする。

【0078】ディジタル減算器115は、カウンタ123のカウント数から閾値 t_1 を減算した信号を判定器116に出力する。判定器116は、カウンタ123のカウント数が閾値 t_1 を越えると、誤差信号が係数更新器120に入力されるように切替スイッチ114を制御する。

【0079】このように、誤差信号が閾値より大きいと判定された回数に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることにより、図1に示す等化

器より、収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0080】(実施の形態3)図3は、実施の形態3における等化器の構成を示すブロック図である。なお、図3に示す等化器において、図1に示す等化器と共通する部分については、図1と同一符号を付して説明を省略する。

【0081】図3に示す等化器は、図1の等化器に積算器131を追加した構成を採る。デジタル減算器113は、誤差信号を接続スイッチ114及び積算器131 10に出力する。積算器131は、誤差信号を積算し、その積算値をデジタル減算器115に出力する。デジタル減算器115は、誤差信号の積算値から閾値 θ_1 を減算した信号を判定器116に出力する。判定器116は、誤差信号の積算値が閾値 θ_1 を越えると、誤差信号が係数更新器120に入力されるように切替スイッチ114を制御する。

【0082】このように、誤差信号の積算値に基づいて、タップ係数の更新に使用するアルゴリズムを切替えることにより、図1に示す等化器より、収束速度の高速 20化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0083】(実施の形態4)図4は、実施の形態4における等化器の構成を示すブロック図である。なお、図4に示す等化器において、図1に示す等化器と共通する部分については、図1と同一符号を付して説明を省略する。

【0084】図4に示す等化器は、図1の等化器にデジタル減算器141と、判定器142と、切替スイッチ143とを追加した構成を採る。デジタル減算器113は、誤差信号を切替スイッチ114、デジタル減算器115及びデジタル減算器141に出力する。デジ 30タル減算器141は、誤差信号から閾値 θ_3 を減算した信号を判定器142に出力する。判定器142は、誤差信号が閾値 θ_3 を越えるか否かにより切替スイッチ143の切替制御を行い、判定器116の判定に用いる閾値として、閾値 θ_1 と閾値 θ_2 のどちらを用いるかを選択する。

【0085】このように、誤差信号に基づいて、タップ係数の更新に使用するアルゴリズムを切替えるか否かの 40判定基準となる閾値を制御することにより、図1に示す等化器より、収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0086】(実施の形態5)図5は、実施の形態5における等化器の構成を示すブロック図である。なお、図5に示す等化器において、図1に示す等化器と共通する部分については、図1と同一符号を付して説明を省略する。

【0087】図5に示す等化器は、図1の等化器に接続スイッチ151と、メモリ152とを追加した構成を採 50

る。デジタル減算器113は、誤差信号を切替スイッチ114、デジタル減算器115及び接続スイッチ151に出力する。接続スイッチ151は、判定器116から出力される判定制御信号により接続して誤差信号をメモリ152に出力し、接続後1バースト期間経過すると切断する。メモリ152は、入力した誤差信号を一時的に記憶し、新たに誤差信号を入力したとき記憶している前回の誤差信号を判定器116に出力する。判定器116は前回の誤差信号を閾値として判定を行う。

【0088】このように、前回の誤差信号を閾値として、タップ係数の更新に使用するアルゴリズムを切替えるか否かを判定することにより、図1に示す等化器より、収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0089】(実施の形態6)図6は、実施の形態6における等化器の構成を示すブロック図である。なお、図6に示す等化器において、図1に示す等化器と共通する部分については、図1と同一符号を付して説明を省略する。

【0090】図6に示す等化器は、図1の等化器に切替スイッチ161を追加した構成を採る。切替スイッチ161は、制御信号 c_2 により、トレーニング期間の最初から一定期間において忘却係数 λ_1 を係数更新部119に出力し、この一定期間を過ぎれば忘却係数 λ_2 を係数更新部119に出力する。

【0091】RLSアルゴリズムは、忘却係数が大きいほうが、収束速度が速いので、例えば、忘却係数 λ_1 を0.7に設定し、忘却係数 λ_2 を0.9に設定し、切替スイッチ161は、トレーニング期間の3シンボル目まで忘却係数 λ_1 を選択し、それ以降忘却係数 λ_1 を選択するということにより、忘却係数を切替えることにより、忘却係数を固定した場合に比べ収束を速くすることができる。

【0092】なお、上記に説明した各実施の形態において、LMSアルゴリズムの修正係数 u として異なる値を設定し、誤差信号に基づいて修正係数 u を切替えることも可能である。これにより、さらなる収束速度の高速化と演算量削減の両立を図ることができ、誤り率特性を向上することができる。

【0093】また、本発明は、各実施の形態を適宜組み合わせる等化器を構成することも可能であり、遅延器及び乗算器の個数を変更するして等化器を構成すること、乗算器の代りにビットシフト回路を用いることも可能である。

【0094】また、上記各実施の形態において、等化器として判定帰還型等化器を用いて説明したが、本発明はこれに限るものではなく、最尤系列推定型等化器を用いても同様の効果を得ることができる。

【0095】

13

【発明の効果】以上説明したように、本発明の等化器及び等化方法によれば、収束速度を維持しながら、しかも、タップ係数更新の演算量を削減し、回線の変動に追従することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における等化器の構成を示すブロック図

【図2】実施の形態2における等化器の構成を示すブロック図

【図3】実施の形態3における等化器の構成を示すブロック図 10

【図4】実施の形態4における等化器の構成を示すブロック図

【図5】実施の形態5における等化器の構成を示すブロック図

【図6】実施の形態6における等化器の構成を示すブロック図

【図7】従来の等化器の構成を示すブロック図

【符号の説明】

101、102、103、110 遅延器

20

14

104、105、106、107、111 デジタル乗算器

108 デジタル加算器

109 判定器

112 切替スイッチ

113 デジタル減算器

114 切替スイッチ

115 デジタル減算器

116 判定器

121 デジタル減算器

122 判定器

123 カウンタ

131 積算器

141 デジタル減算器

142 判定器

143 切替スイッチ

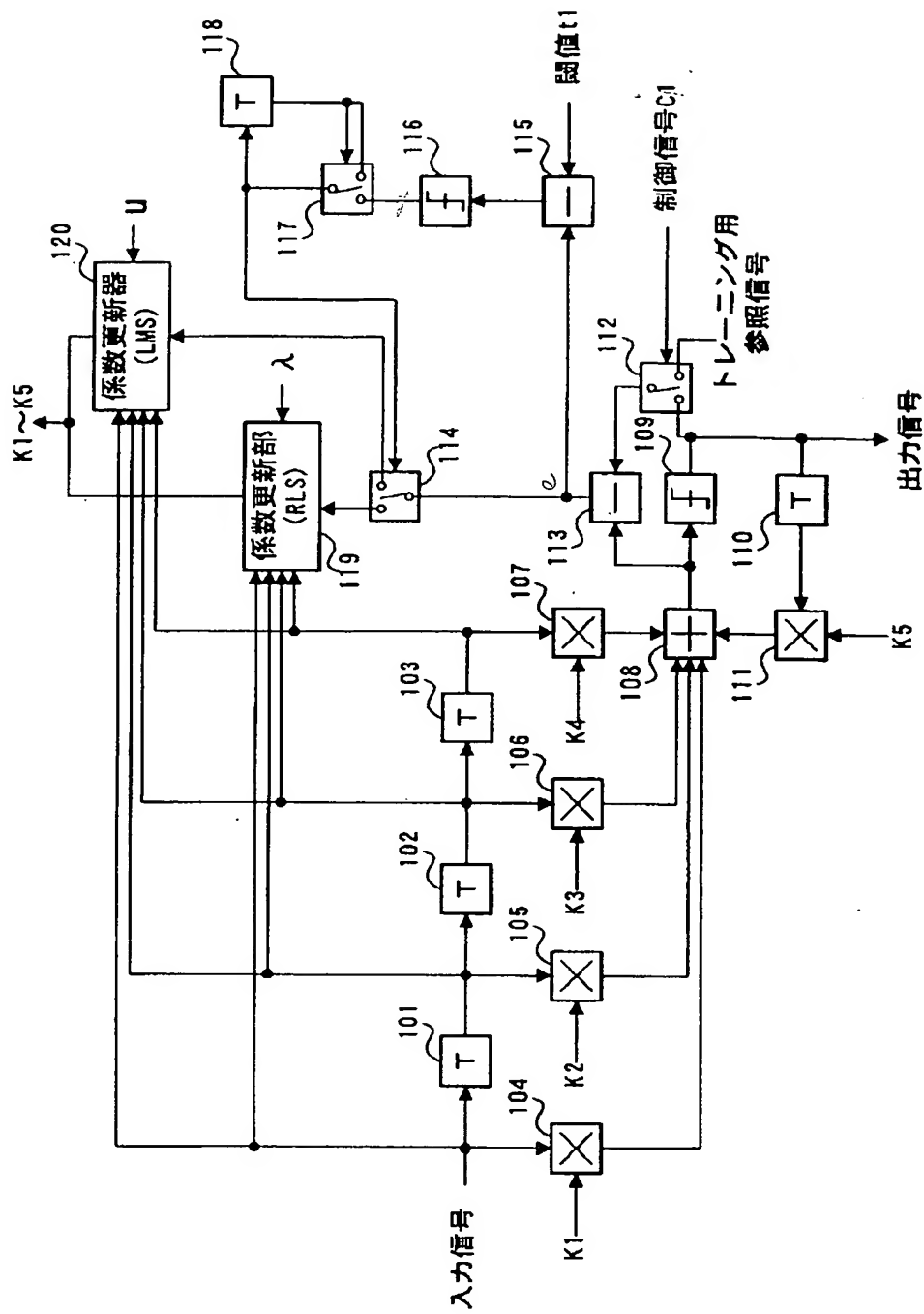
151 接続スイッチ

152 メモリ

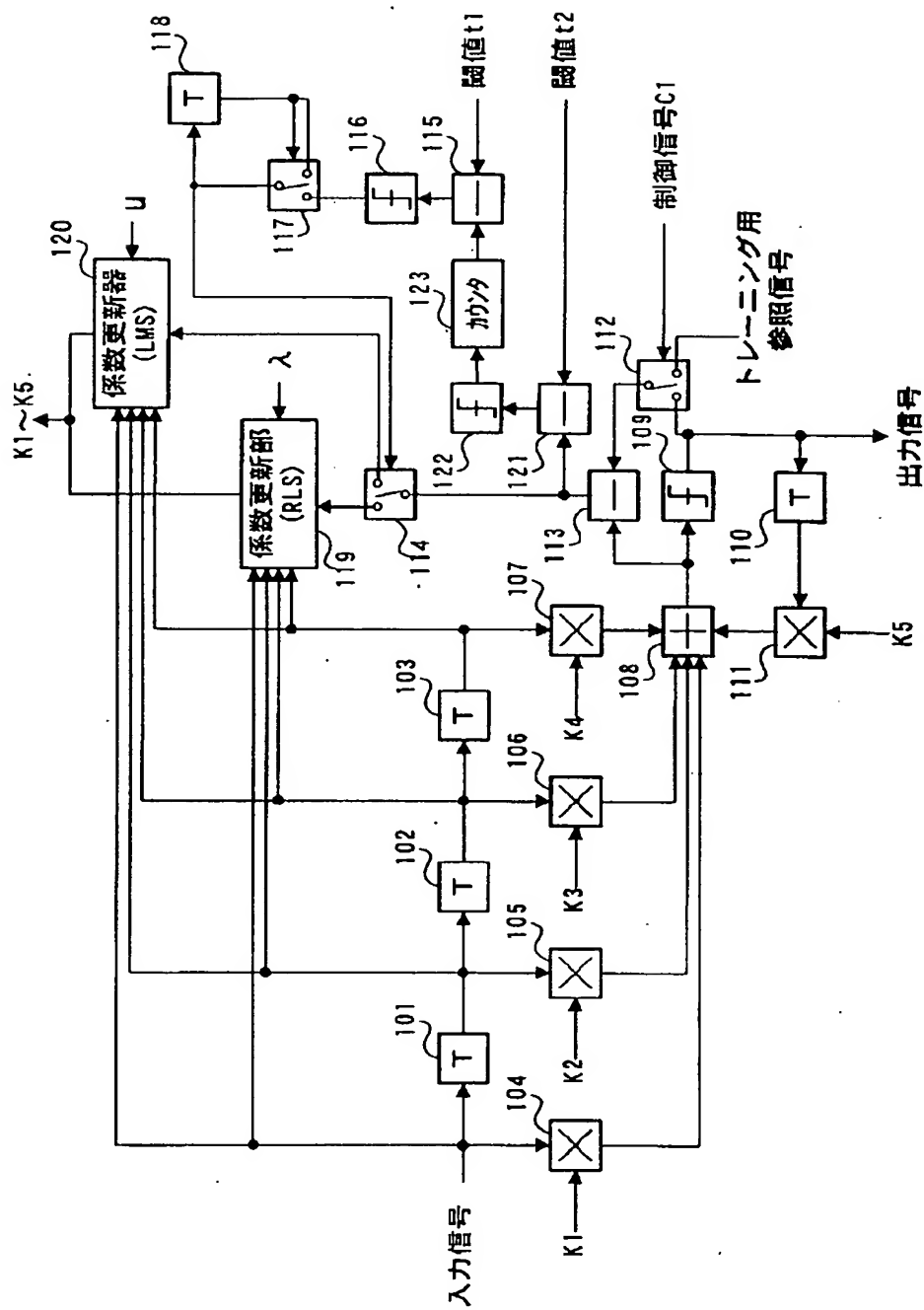
161 切替スイッチ

IT → when

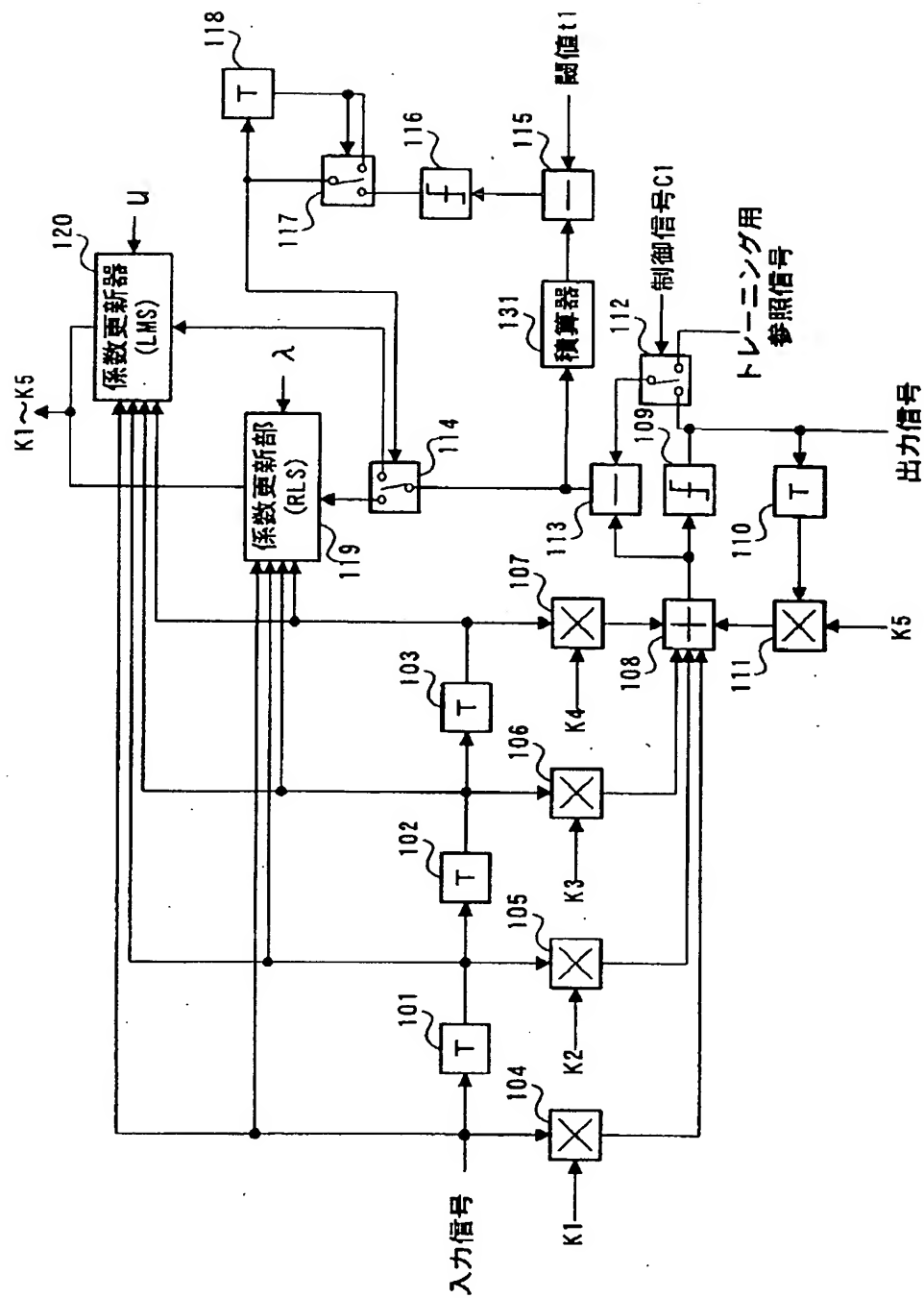
【図1】



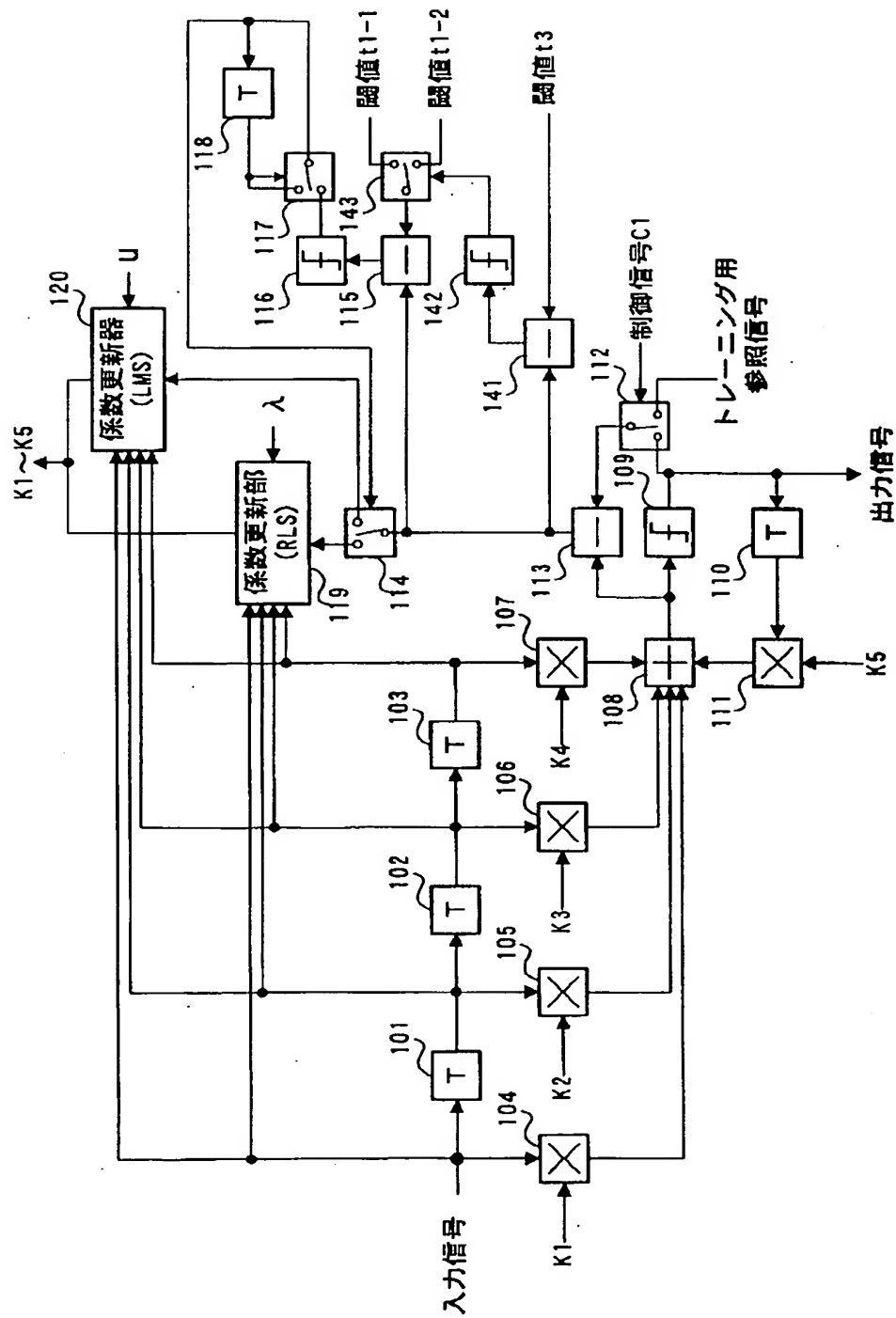
【図2】



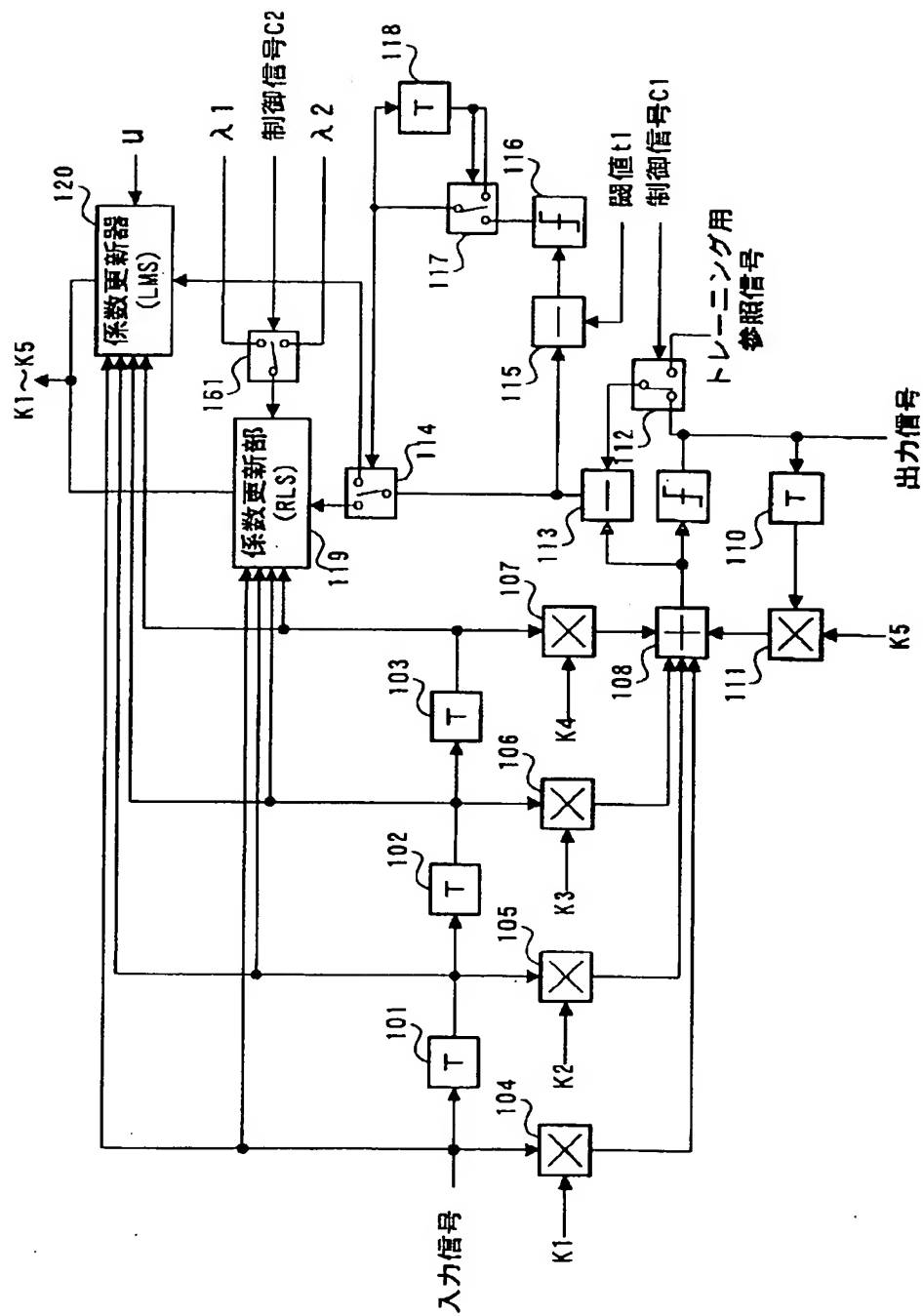
【図3】



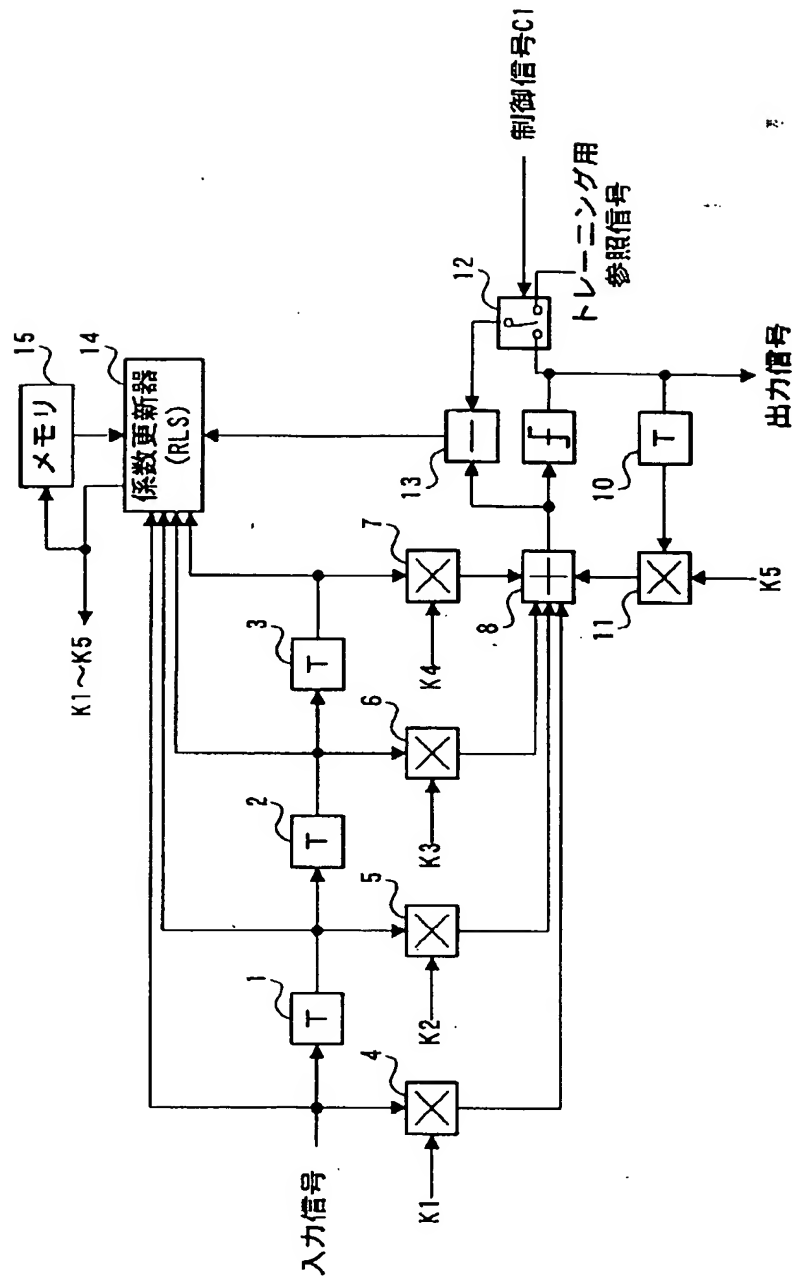
【図4】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5J023 AA01 AB03 AB06 AB08 AC02
 AC08 AD05 AD06
 5K046 AA05 BB05 EE02 EE06 EE10
 EE47 EF11 EF15 EF17

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the equalizer and the identification approach which are used for digital mobile communication system.

[0002]

[Description of the Prior Art] In a radio communications system, the signal transmitted from the transmitter is received by the receiver as a synthetic wave of the wave which repeated reflection and dispersion. Since the arrival time amount of each wave changes with the length of a propagation path, on a radio-transmission way, signals cause interference mutually.

[0003] In the digital mobile communications which perform high-speed digital transmission, if signals cause interference mutually, the judgment of the signal in decode processing of a receiving side will become difficult, and the error rate of data will increase remarkably. For this reason, in a receiving side, the wave of an input signal is orthopedically operated with an equalizer, and the effect of interference between signals is reduced.

[0004] Hereafter, a judgment feedback mold equalizer is explained to an example about the configuration and actuation of the conventional equalizer. Drawing 7 is the block diagram showing the configuration of the conventional equalizer.

[0005] It delays at a time one sampling period of input signals of the equalizer shown in drawing 7 by passing the delay machine 1, the delay machine 2, and the delay machine 3, respectively.

[0006] Moreover, the multiplication of the input signal is carried out in the tap multiplier signal k1 with a digital multiplier 4. Similarly the multiplication of the input signal which carried out 1 sampling-period delay is carried out in the tap multiplier signal k2 with a digital multiplier 5, the multiplication of the input signal which carried out 2 sampling-period delay is carried out in the tap multiplier signal k3 with a digital multiplier 6, and the multiplication of the input signal which carried out 3 sampling-period delay is carried out in the tap multiplier signal k4 with a digital multiplier 7.

[0007] Each signal by which multiplication was carried out in the tap multiplier signal is added with the digital adder 8, and the added signal (henceforth an "addition signal") is outputted to the judgment machine 9 and the digital subtractor 13. And the signal transmitted from the transmitter is presumed with the power value of an addition signal with the judgment vessel 9. After the presumed signal (henceforth a "presumed signal") passes the delay machine 10 and is delayed one sampling period while it is outputted to other devices, with a digital multiplier 11, it is made to carry out the multiplication of the tap multiplier signal k5, and is inputted into the digital adder 8.

[0008] Here, generally the transmitter of mobile communications inserts a known training signal sequence before the message of a sending signal. On the other hand, since the equalizer of the receiving inside of a plane is fitted to a line characteristic, while memorizing the same reference-sign sequence for training as a training signal sequence and having received the training signal sequence, identification processing is performed using the reference-sign sequence for training. The period which has received the training period, the call, and the message for the period which has received the training signal

sequence hereafter is called a message period.

[0009] By changing and controlling a circuit changing switch 12 by the control signal c1, the reference sign for training is inputted into the digital subtractor 13 at the time of a training period, and a presumed signal is inputted into the digital subtractor 13 at the time of a message period.

[0010] And the signal (henceforth an "error signal") which the reference sign for training or a presumed signal is subtracted from an addition signal, and expresses a judgment error with the digital subtractor 13 is computed, and it is outputted to the renewal section 14 of a multiplier.

[0011] And from the tap multiplier in front of 1 symbol period memorized by an input signal, an error signal, and memory 15 in the renewal section 14 of a multiplier using predetermined algorithms, such as a RLS (Recursive Least Square) algorithm, a tap multiplier signal is computed and the updated tap multiplier signals k1-k5 are outputted to each multiplier and memory 15.

[0012] Thus, by computing a tap multiplier signal using a predetermined algorithm, and updating a tap multiplier, conventional identification equipment follows fluctuation of a circuit and is performing identification processing.

[0013]

→ [Problem(s) to be Solved by the Invention] Here, a RLS algorithm has many amounts of operations of renewal of a tap multiplier, although the precision of a tap multiplier and a convergence rate are excellent. On the other hand, although an LMS (Least Mean Square) algorithm has few amounts of operations, its convergence rate is slow.

[0014] Since one algorithm decided beforehand was used for the conventional equalizer and it updated a tap multiplier, it was not able to aim at coexistence of reduction of convergence rates of maintenance and the amount of operations.

[0015] This invention being made in view of this point, and maintaining a convergence rate, moreover, the amount of operations of renewal of a tap multiplier is reduced, and it aims at offering the equalizer and the identification approach of following fluctuation of a circuit.

[0016]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention judges magnitude with error etc. and chooses the algorithm of the renewal operation of a tap multiplier based on a judgment result.

[0017]

[Embodiment of the Invention] the 1st voice of this invention -- the equalizer which can be set like takes the configuration possessing two or more renewal means of a multiplier by which a mutually different algorithm performs the renewal operation of a tap multiplier, a judgment means to judge whether it is necessary to change an algorithm or not, and the algorithm control means that chooses any of said renewal means of a multiplier they are based on the judgment result of this judgment means.

[0018] A renewal means of the 1st multiplier by which the 2nd mode of this invention performs the renewal operation of a tap multiplier with a RLS algorithm in the equalizer of the 1st mode, A renewal means of the 2nd multiplier by which an LMS algorithm performs the renewal operation of a tap multiplier is provided. An algorithm control means The renewal means of the 1st multiplier is chosen until it is judged with it being necessary to change an algorithm with a judgment means, and if judged with it being necessary to change an algorithm with a judgment means, the configuration which chooses the renewal means of the 2nd multiplier will be taken.

[0019] By these configurations, maintaining a convergence rate, since a tap multiplier is computed with a RLS algorithm, and a tap multiplier can be computed with an LMS algorithm when an error signal is lower than a threshold when an error signal is higher than a threshold, moreover, the amount of operations of renewal of a tap multiplier can be reduced, and fluctuation of a circuit can be followed.

[0020] The 3rd mode of this invention takes the configuration possessing an oblivion multiplier change means to choose from two or more candidates the oblivion multiplier inputted into the renewal means of the 1st multiplier, in the equalizer of the 2nd mode.

[0021] By this configuration, since an oblivion multiplier can be changed, compared with the case where an oblivion multiplier is fixed, convergence can be made quick, and the section using a RLS algorithm

can be shortened.

[0022] The configuration the 4th mode of this invention judges that needs to change an algorithm when, as for a judgment means, an error signal exceeds the 1st threshold in the equalizer of either the 1st mode thru/or the 3rd mode is taken.

[0023] By this configuration, since the algorithm used for renewal of a tap multiplier can be changed by whether an error signal is larger than a threshold, a complicated circuit cannot be needed, but improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0024] The 5th mode of this invention possesses a count means to count a count with an error signal smaller than the 2nd threshold, in the equalizer of either the 1st mode thru/or the 3rd mode, and a judgment means takes the configuration judge that needs to change an algorithm, when the count which said count means counted exceeds the 1st threshold.

[0025] Since the algorithm which an error signal uses for renewal of a tap multiplier by this configuration based on the count judged that is larger than a threshold can be changed, from the 4th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0026] The 6th mode of this invention possesses an addition means to integrate an error signal, in the equalizer of either the 1st mode thru/or the 3rd mode, and a judgment means takes the configuration judge that needs to change an algorithm, when the addition value of the error signal outputted from said addition means exceeds the 1st threshold.

[0027] By this configuration, since the algorithm used for renewal of a tap multiplier can be changed based on the addition value of an error signal, from the 4th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0028] The 7th mode of this invention takes the configuration which possesses a threshold change means to choose the 1st threshold from two or more thresholds, by whether an error signal exceeds the 3rd threshold in the equalizer of either the 1st mode thru/or the 6th mode.

[0029] Since the threshold used as the criterion of whether to change the algorithm used for renewal of a tap multiplier based on an error signal is controllable by this configuration, from the 4th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0030] A judgment means takes the configuration to which the 8th mode of this invention makes the last error signal the 1st threshold in the equalizer of either the 1st mode thru/or the 6th mode.

[0031] By this configuration, since it can judge whether the algorithm used for renewal of a tap multiplier is changed by making the last error signal into a threshold, from the 4th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0032] The communication terminal in the 9th mode of this invention carries the equalizer of either the 1st mode thru/or the 8th mode, and takes the configuration which operates the wave of an input signal orthopedically using said equalizer.

[0033] The base station equipment in the 10th mode of this invention carries the equalizer of either the 1st mode thru/or the 8th mode, and takes the configuration which operates the wave of an input signal orthopedically using said equalizer.

[0034] The radio communications system in the 11th mode of this invention carries the equalizer of either the 1st mode thru/or the 8th mode in either [at least] mobile station equipment or base station equipment, and takes the configuration which performs radio.

[0035] The identification approach in the 12th mode of this invention judges whether it is necessary to change the algorithm for performing the renewal operation of a tap multiplier, and takes the approach of choosing the algorithm used based on this judgment result.

[0036] It performs the renewal operation of a tap multiplier with a RLS algorithm until it judges that the 13th mode of this invention needs to change an algorithm in the identification approach of the 12th

mode, and if judged with it being necessary to change an algorithm, it will take how an LMS algorithm performs the renewal operation of a tap multiplier.

[0037] By these approaches, maintaining a convergence rate, since a tap multiplier is computed with a RLS algorithm, and a tap multiplier can be computed with an LMS algorithm when an error signal is lower than a threshold when an error signal is higher than a threshold, moreover, the amount of operations of renewal of a tap multiplier can be reduced, and fluctuation of a circuit can be followed.

[0038] The 14th mode of this invention takes the approach of choosing from two or more candidates the oblivion multiplier used for a RLS algorithm in the identification approach of the 13th mode.

[0039] By this approach, since an oblivion multiplier can be changed, compared with the case where an oblivion multiplier is fixed, convergence can be made quick, and the section using a RLS algorithm can be shortened.

[0040] The 15th mode of this invention takes the approach judge that needs to change an algorithm, when an error signal exceeds the 1st threshold in the identification approach of either the 12th mode thru/or the 14th mode.

[0041] By this approach, since the algorithm used for renewal of a tap multiplier can be changed by whether an error signal is larger than a threshold, a complicated circuit cannot be needed, but improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0042] The 16th mode of this invention takes the approach judge that needs to change an algorithm, when the count among which the error signal counted and counted the count smaller than the 2nd threshold in the identification approach of either the 12th mode thru/or the 14th mode exceeds the 1st threshold.

[0043] By this approach, since the algorithm which an error signal uses for renewal of a tap multiplier based on the count judged that is larger than a threshold can be changed, from the 15th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0044] The 17th mode of this invention takes the approach judge that needs to change an algorithm, when an error signal is integrated and the addition value of an error signal exceeds the 1st threshold in the identification approach of either the 12th mode thru/or the 14th mode.

[0045] By this approach, since the algorithm used for renewal of a tap multiplier can be changed based on the addition value of an error signal, from the 15th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0046] The 18th mode of this invention takes the approach of choosing the 1st threshold from two or more thresholds by whether an error signal exceeds the 3rd threshold in the identification approach of either the 12th mode thru/or the 17th mode.

[0047] Since the threshold used as the criterion of whether to change the algorithm used for renewal of a tap multiplier based on an error signal is controllable by this approach, from the 15th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved by it.

[0048] The 19th mode of this invention takes the approach of making the last error signal the 1st threshold in the identification approach of either the 12th mode thru/or the 17th mode.

[0049] By this approach, since it can judge whether the algorithm used for renewal of a tap multiplier is changed by making the last error signal into a threshold, from the 15th mode, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at further, and an error rate property can be improved.

[0050] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to an accompanying drawing. In addition, in the following explanation, a judgment feedback mold equalizer is used as an equalizer. Moreover, the following each control signal and each threshold in explanation are beforehand set up by the user etc., and are outputted to an equalizer from the control section which is not shown in each drawing.

[0051] Moreover, in the following explanation, a RLS algorithm and an LMS algorithm are used as a renewal algorithm of a multiplier.

[0052] Updating tap multiplier $W(n)$ in a RLS algorithm is called for by the formula (1) shown below using an input signal $X(n)$, error signal $e(n)$, the oblivion multiplier λ , and the natural number n .

$$W(n) = W(n-1) + K(n)e(n) / K(n) = T(n) / \{1 + X(n)T(n)\}$$

$T(n) = P(n-1) X(n) / \lambda$ $P(n) = P(n-1) / \lambda - K(n) T(n)$ (1)

Updating tap multiplier $W(n)$ in an LMS algorithm is called for by the formula (2) shown below using an input signal $X(n)$, error signal $e(n)$, a correction factor u ($0 < u < 1$), and the natural number n .

[0053]

$W(n) = W(n-1) + uX(n)e(n)$ (2)

(Gestalt 1 of operation) Drawing 1 is the block diagram showing the configuration of the equalizer in the gestalt 1 of operation of this invention.

[0054] In the equalizer shown in drawing 1, the delay machine 101, the delay machine 102, and the delay machine 103 carry out 1 sample period delay of the input signal. A digital multiplier 104 carries out the multiplication of the tap multiplier signal k_1 to an input signal. A digital multiplier 105 carries out the multiplication of the tap multiplier signal k_2 to the input signal of 1 sample period delay. A digital multiplier 106 carries out the multiplication of the tap multiplier signal k_3 to the input signal of 2 sample periods delay. A digital multiplier 107 carries out the multiplication of the tap multiplier signal k_4 to the input signal of 3 sample periods delay.

[0055] The digital adder 108 outputs the signal (henceforth an "addition signal") adding two or more signals by which multiplication was carried out in each tap multiplier signal.

[0056] With the power value of an addition signal etc., the judgment machine 109 presumes the signal transmitted from the transmitter, and outputs the presumed signal (henceforth a "presumed signal").

[0057] The delay machine 110 carries out 1 sample period delay of the presumed signal, and a digital multiplier 111 carries out the multiplication of the tap multiplier signal k_5 to the presumed signal which carried out 1 sample period delay, and it outputs it to an adder 108.

[0058] A circuit changing switch 112 outputs the signal which chose the reference sign for training at the time of a training period, and chose and chose the presumed signal with the control signal c_1 at the time of a message period to the digital subtractor 113.

[0059] The digital subtractor 113 subtracts the reference sign for training, or a presumed signal from an addition signal, computes the signal (henceforth an "error signal") showing a judgment error, and outputs it to a circuit changing switch 114 and the digital subtractor 115.

[0060] The digital subtractor 115 outputs the signal which subtracted the threshold t_1 from the error signal to the judgment machine 116. It judges whether the judgment machine 116 has an error signal higher than a threshold t_1 , and the control signal (henceforth a "judgment control signal") based on a judgment result is outputted to a circuit changing switch 117. In addition, not using the digital subtractor 115, an error signal and a threshold t_1 may be inputted into the judgment machine 116, and the size of an error signal and a threshold t_1 may be judged with the judgment vessel 116.

[0061] A circuit changing switch 117 outputs the judgment control signal inputted from the fixed period and judgment machine 116 from the beginning of a training period to a circuit changing switch 114. Moreover, a circuit changing switch 117 feeds back a judgment control signal via the delay machine 118, and performs change control itself. The delay machine 118 carries out 1 sample period delay of the judgment control signal.

[0062] The renewal section 119 of a multiplier inputs an input signal, an error signal, and an oblivion multiplier, computes a tap multiplier with a RLS algorithm, and outputs the tap multiplier signals k_1 - k_5 to each multiplier.

[0063] The renewal section 120 of a multiplier inputs an input signal, an error signal, and a correction factor, computes a tap multiplier with an LMS algorithm, and outputs the tap multiplier signals k_1 - k_5 to each multiplier.

[0064] Next, identification processing of the equalizer in the gestalt 1 of operation is explained. It delays at a time one sampling period of input signals inputted into the equalizer by passing the delay machine

101, the delay machine 102, and the delay machine 103, respectively.

[0065] Moreover, the multiplication of the input signal is carried out in the tap multiplier signal k1 with a digital multiplier 104. Similarly the multiplication of the input signal which carried out 1 sampling-period delay is carried out in the tap multiplier signal k2 with a digital multiplier 105, the multiplication of the input signal which carried out 2 sampling-period delay is carried out in the tap multiplier signal k3 with a digital multiplier 106, and the multiplication of the input signal which carried out 3 sampling-period delay is carried out in the tap multiplier signal k4 with a digital multiplier 107.

[0066] Each signal by which multiplication was carried out in the tap multiplier signal is added with the digital adder 108, and an addition signal is outputted to the judgment machine 109 and the digital subtractor 113.

[0067] And while the signal transmitted from the transmitter is presumed and a presumed signal is outputted to other devices by the power value of an addition signal with the judgment vessel 109, after passing the delay machine 110 and delaying one sampling period, the multiplication of the tap multiplier signal k5 is carried out with a digital multiplier 111, and it is outputted to the digital adder 108.

[0068] Moreover, by changing and controlling a circuit changing switch 112 by the control signal c1, the reference sign for training is outputted to the digital subtractor 113 at the time of a training period, and a presumed signal is outputted to the digital subtractor 113 at the time of a message period. And with the digital subtractor 113, an error signal is computed by the reference sign for training or a presumed signal being subtracted from an addition signal, and it is outputted to a circuit changing switch 114 and the digital subtractor 115.

[0069] The error signal inputted into the digital subtractor 115 has a threshold t1 subtracted, and is outputted to the judgment machine 116. And it is judged with the judgment vessel 116 whether an error signal is higher than a threshold t1, and the judgment control signal based on the judgment result is outputted to a circuit changing switch 117 and the delay machine 118.

[0070] By controlling a circuit changing switch 114 by the judgment control signal, when an error signal is higher than a threshold t1, an error signal is inputted into the renewal machine 119 of a multiplier, and when an error signal is lower than a threshold t1, an error signal is inputted into the renewal machine 120 of a multiplier.

[0071] And the tap multiplier signals k1-k5 by which the tap multiplier was computed and updated with the RLS algorithm in the renewal section 119 of a multiplier using the input signal, the error signal, and the oblivion multiplier lambda are outputted to each multiplier.

[0072] Moreover, the tap multiplier signals k1-k5 by which the tap multiplier was computed and updated with the LMS algorithm in the renewal section 120 of a multiplier using the input signal, the error signal, and the correction factor u are outputted to each multiplier.

[0073] In addition, once an error signal becomes lower than a threshold t1, an error signal will be inputted into the renewal machine 120 of a multiplier until the error judging signal which passed through the delay circuit 118 has a circuit changing switch 117 controlled and a message period expires.

[0074] Thus, maintaining a convergence rate by computing a tap multiplier with a RLS algorithm, and computing a tap multiplier with an LMS algorithm, when an error signal is lower than a threshold, when an error signal is higher than a threshold, moreover, the amount of operations of renewal of a tap multiplier can be reduced, and fluctuation of a circuit can be followed.

[0075] (Gestalt 2 of operation) Drawing 2 is the block diagram showing the configuration of the equalizer in the gestalt 2 of operation. In addition, in the equalizer shown in drawing 2, about the part which is common in the equalizer shown in drawing 1, the same sign as drawing 1 is attached and explanation is omitted.

[0076] The equalizer shown in drawing 2 takes the configuration which added the digital subtractor 121, the judgment machine 122, and the counter 123 to the equalizer of drawing 1.

[0077] The digital subtractor 113 outputs an error signal to a circuit changing switch 114 and the digital subtractor 121. The digital subtractor 121 outputs the signal which subtracted the threshold t2 from the error signal to the judgment machine 122. Judging whether the judgment machine 122 has an error signal smaller than a threshold t2, a counter 123 counts a count with an error signal smaller than a

threshold t2.

[0078] The digital subtractor 115 outputs the signal which subtracted the threshold t1 from the number of counts of a counter 123 to the judgment machine 116. If the number of counts of a counter 123 exceeds a threshold t1, the judgment machine 116 will control a circuit changing switch 114 so that an error signal is inputted into the renewal machine 120 of a multiplier.

[0079] Thus, by changing the algorithm which an error signal uses for renewal of a tap multiplier based on the count judged that is larger than a threshold, from the equalizer shown in drawing 1, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0080] (Gestalt 3 of operation) Drawing 3 is the block diagram showing the configuration of the equalizer in the gestalt 3 of operation. In addition, in the equalizer shown in drawing 3, about the part which is common in the equalizer shown in drawing 1, the same sign as drawing 1 is attached and explanation is omitted.

[0081] The equalizer shown in drawing 3 takes the configuration which added the integrator 131 to the equalizer of drawing 1. The digital subtractor 113 outputs an error signal to the connection switch 114 and an integrator 131. An integrator 131 integrates an error signal and outputs the addition value to the digital subtractor 115. The digital subtractor 115 outputs the signal which subtracted the threshold t1 from the addition value of an error signal to the judgment machine 116. If the addition value of an error signal exceeds a threshold t1, the judgment machine 116 will control a circuit changing switch 114 so that an error signal is inputted into the renewal machine 120 of a multiplier.

[0082] Thus, by changing the algorithm used for renewal of a tap multiplier based on the addition value of an error signal, from the equalizer shown in drawing 1, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0083] (Gestalt 4 of operation) Drawing 4 is the block diagram showing the configuration of the equalizer in the gestalt 4 of operation. In addition, in the equalizer shown in drawing 4, about the part which is common in the equalizer shown in drawing 1, the same sign as drawing 1 is attached and explanation is omitted.

[0084] The equalizer shown in drawing 4 takes the configuration which added the digital subtractor 141, the judgment machine 142, and the circuit changing switch 143 to the equalizer of drawing 1. The digital subtractor 113 outputs an error signal to a circuit changing switch 114, the digital subtractor 115, and the digital subtractor 141. The digital subtractor 141 outputs the signal which subtracted the threshold t3 from the error signal to the judgment machine 142. The judgment machine 142 performs change control of a circuit changing switch 143 by whether an error signal exceeds a threshold t3, and chooses which shall be used between threshold t1-1 and threshold t1-2 as a threshold used for the judgment of the judgment machine 116.

[0085] Thus, by controlling the threshold used as the criterion of whether to change the algorithm used for renewal of a tap multiplier based on an error signal, from the equalizer shown in drawing 1, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0086] (Gestalt 5 of operation) Drawing 5 is the block diagram showing the configuration of the equalizer in the gestalt 5 of operation. In addition, in the equalizer shown in drawing 5, about the part which is common in the equalizer shown in drawing 1, the same sign as drawing 1 is attached and explanation is omitted.

[0087] The equalizer shown in drawing 5 takes the configuration which added the connection switch 151 and memory 152 to the equalizer of drawing 1. The digital subtractor 113 outputs an error signal to a circuit changing switch 114, the digital subtractor 115, and the connection switch 151. It connects with the judgment control signal outputted from the judgment machine 116, and the connection switch 151 outputs an error signal to memory 152, and if after [connection] 1 burst-interval progress is carried out, it will cut it. Memory 152 outputs the last error signal which memorized the inputted error signal temporarily, and has been memorized when an error signal is newly inputted to the judgment machine

116. The judgment machine 116 judges by making the last error signal into a threshold.

[0088] Thus, from the equalizer which shows drawing 1 by judging whether the algorithm used for renewal of a tap multiplier is changed by making the last error signal into a threshold, improvement in the speed of a convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0089] (Gestalt 6 of operation) Drawing 10 is the block diagram showing the configuration of the equalizer in the gestalt 6 of operation. In addition, in the equalizer shown in drawing 6, about the part which is common in the equalizer shown in drawing 1, the same sign as drawing 1 is attached and explanation is omitted.

[0090] The equalizer shown in drawing 6 takes the configuration which added the circuit changing switch 161 to the equalizer of drawing 1. If a circuit changing switch 161 outputs the oblivion multiplier λ_1 to the renewal section 119 of a multiplier in a fixed period from the beginning of a training period and it passes over this fixed period with a control signal c_2 , it will output the oblivion multiplier λ_2 to the renewal section 119 of a multiplier.

[0091] The one where an oblivion multiplier is larger a RLS algorithm. Since the convergence rate is quick, the oblivion multiplier λ_1 is set as 0.7, and the oblivion multiplier λ_2 is set as 0.9, for example. A circuit changing switch 161. By changing an oblivion multiplier, compared with the case where an oblivion multiplier is fixed, convergence can be made quick, and the section using a RLS algorithm can be shortened as the oblivion multiplier λ_1 is chosen to 3 symbol eye of a training period and the oblivion multiplier λ_2 is chosen after it.

[0092] In addition, in the gestalt of each operation explained above, it is also possible to set up a different value as a correction factor u of an LMS algorithm, and to change a correction factor u based on an error signal. Thereby, improvement in the speed of the further convergence rate and coexistence of the amount reduction of operations can be aimed at, and an error rate property can be improved.

[0093] Moreover, this invention is possible also for constituting an equalizer, combining the gestalt of each operation suitably, and can also use [changing the number of a delay machine and a multiplier and constituting an equalizer, and] a bit shift circuit instead of a multiplier.

[0094] Moreover, in the gestalt of each above-mentioned implementation, although explained using a judgment feedback mold equalizer as an equalizer, this invention is not restricted to this, and even if it uses a maximum likelihood sequence estimation mold equalizer, the same effectiveness can be acquired.

[0095]

[Effect of the Invention] As explained above, according to the equalizer and the identification approach of this invention, maintaining a convergence rate, moreover, the amount of operations of renewal of a tap multiplier can be reduced, and fluctuation of a circuit can be followed.

[Translation done.]